

Asignatura:	AT5118 - Arquitectura e Ingeniería de Computadores I				
Cuatrimestre:	1º	Examen:	Final	Convocatoria:	Extraordinaria
Grupo:	5IM1	Curso:	2005/2006	Fecha:	19 de Junio de 2006

PREGUNTAS:

1.- Sea una máquina basada en el DLX, pero segmentada en 6 etapas en lugar de 5, ya que la etapa de ID dura 2 ciclos. Las operaciones realizadas en cada etapa y las decisiones tomadas en cada una de ellas coinciden exactamente con el modelo del DLX. Haciendo un análisis estadístico de la ejecución, se detecta que el 15% de las instrucciones son saltos, de los cuales el 90% son tomados. Con estas consideraciones:

- a) **[1 punto]** Calcular el CPI en el caso de que la máquina establezca una gestión de saltos basada en “salto no-tomado”.
- b) **[1 punto]** Calcular el CPI en el caso de que la máquina establezca una gestión de saltos basada en “salto tomado”.
- c) **[1 punto]** Si a una máquina segmentada en 5 etapas se le modifica su arquitectura para que pase a estar segmentada en 6 etapas, razonar cómo afecta esta decisión al CPI.

2.- Sea un sistema basado en el DLX, en el cual se programa la operación de multiplicar un vector por un escalar (en punto flotante, doble precisión). Suponer que la dirección de comienzo del vector está almacenada en R1, y que acaba en la dirección 0. Suponer que el escalar está precargado en el registro F2.

- a) **[1 punto]** Proponer un código ensamblador para DLX que realice la operación mencionada.
- b) **[1 punto]** Transformar el código anterior para minimizar los riesgos, utilizando la técnica de *software pipelining*. Explicar en detalle cómo se ha hecho esta transformación.
- c) **[1 punto]** Comparar, de una manera razonada, las ventajas del *software pipelining* con la técnica de desenrollado de bucles tradicional.

3.- Considerar el siguiente código en C++. A y B son dos vectores en precisión doble. Suponer que la dirección de comienzo de A está almacenada en el registro Ra y la de B en Rb. Suponer que x es una constante precargada en F0:

```
for (int i=0;i<n;i++)
{
    A[i] = A[i] + B[i];
    B[i] = x * B[i];
}
```

- a) [1 punto] Considerando la arquitectura del DLXV, con tres unidades de acceso a memoria y sin encadenamiento, proponer un código ensamblador reordenado de tal manera que el número de grupos vectoriales sea mínimo. Detallar la composición de cada grupo.
- b) [1 punto] Calcular el rendimiento pico, R_{∞} , a una frecuencia de reloj de 250 MHz.
- c) [1 punto] Calcular $N_{1/2}$, a una frecuencia de reloj de 250 MHz.
- d) [1 punto] Razonar las ventajas e inconvenientes de: **i)** aumentar el número de unidades de acceso a memoria y **ii)** permitir encadenamiento.